

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

☐ [Generate Collection](#)

L52: Entry 1 of 1

File: JPAB

Feb 12, 2004

PUB-NO: JP02004047516A

DOCUMENT-IDENTIFIER: JP 2004047516 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS LAYOUT METHOD

PUBN-DATE: February 12, 2004

INVENTOR-INFORMATION:

NAME

COUNTRY

SONOHARA, HIDEO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC ELECTRONICS CORP

APPL-NO: JP2002199192

APPL-DATE: July 8, 2002

INT-CL (IPC): H01 L 21/822; G06 F 17/50; H01 L 21/82; H01 L 27/04

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device in which design flexibility is enhanced and the number of I/O buffers (number of signals) can be increased while suppressing an increase in dead space or area of a substrate.

SOLUTION: A semiconductor integrated circuit device comprising an area I/O 3, a macro 4 and a peripheral I/O 2 is employed. The area I/O 3 is arranged at an arbitrary position in a gate region 5 on a chip 1 or on the periphery thereof and includes a plurality of I/O buffers. The macro 4 is arranged at an arbitrary position in the gate region 5. The periphery I/O 2 includes a plurality of I/O buffers arranged on the periphery thereof. The macro 4 is combined with the area I/O 3 which is used therein and arranged at an arbitrary position thereof. Furthermore, a plurality of logic gates are arranged in the gate region 5.

COPYRIGHT: (C)2004, JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-47516

(P2004-47516A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H 0 1 L 21/822	H 0 1 L 27/04	5 B 0 4 6
G 0 6 F 17/50	G 0 6 F 17/50	5 F 0 3 8
H 0 1 L 21/82	H 0 1 L 21/82	5 F 0 6 4
H 0 1 L 27/04		

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2002-199192 (P2002-199192)	(71) 出願人	302062931
(22) 出願日	平成14年7月8日 (2002.7.8)		N E Cエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
		(74) 代理人	100102864
			弁理士 工藤 実
		(72) 発明者	園原 英雄
			東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
		F ターム (参考)	5B046 AA08 BA05
			5F038 CA03 CA04 CA10 EZ09 EZ20
			5F064 BB02 BB09 BB13 BB15 BB27
			DD01 DD26 DD42 DD44 HH06

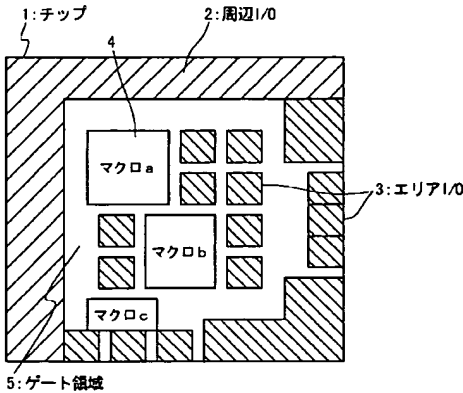
(54) 【発明の名称】 半導体集積回路装置及び半導体集積回路装置のレイアウト方法

(57) 【要約】

【課題】 設計の自由度が向上し、デッドスペースや基板面積の増加を抑制しながら、I/Oバッファ数(信号数)を増加させることが可能な半導体集積回路装置を提供する。

【解決手段】 エリアI/O3と、マクロ4と、周辺I/O2とを具備する半導体集積回路装置を用いる。エリアI/O3は、チップ1上のゲート領域5又は周辺部の任意の位置に配設され、複数のI/Oバッファを含む。マクロ4は、ゲート領域5の任意の位置に配設されている。周辺I/O2は、その周辺部に配設された複数のI/Oバッファを含む。そして、マクロ4は、マクロ4に用いるエリアI/O3と組み合わせられ、その任意の位置に配設される。更に、ゲート領域5に配設された複数の論理ゲートを具備する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

チップ上のゲート領域又は周辺部の任意の位置に配設され、複数の I / O バッファを含むエリア I / O と、
前記ゲート領域の任意の位置に配設されたマクロと、
を具備する、
半導体集積回路装置。

【請求項 2】

前記周辺部に配設された複数の I / O バッファを含む周辺 I / O と、
を更に具備する、
請求項 1 に記載の半導体集積回路装置。

10

【請求項 3】

前記マクロは、前記マクロに用いる前記エリア I / O と組み合され、前記任意の位置に配設される、
請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 4】

前記ゲート領域に配設された複数の論理ゲートを更に具備する、
1 乃至 3 のいずれか一項に記載の半導体集積回路装置。

【請求項 5】

複数のマクロの各々に関する情報と、前記複数のマクロの各々に対応するエリア I / O の情報とを関連付けて記憶しているマクロテーブルと、ここで、前記エリア I / O は、チップ上のゲート領域又は周辺部の任意の位置に配設可能な複数の I / O バッファを含み、設計に用いる複数のマクロとしての複数の設計マクロに関する情報と、前記複数の設計マクロの内の高速での情報処理が必要なものを指定する情報としての処理情報と、前記マクロテーブルとに基づいて、前記高速での情報処理が必要な設計マクロとしての高速マクロを選択し、前記高速マクロと前記エリア I / O との組であるエリア I / O 付きマクロを生成する選択部と、
前記設計マクロに関する情報と、前記マクロテーブルとに基づいて、前記エリア I / O 付きマクロを、前記チップ上の所定の場所へ配置するレイアウト設計部と、
を具備する、
半導体集積回路の設計装置。

20

30

【請求項 6】

前記マクロテーブルの前記複数のマクロの各々に対応するエリア I / O の情報は、前記エリア I / O の I / O バッファの数、前記 I / O バッファの配置及び前記エリア I / O と前記マクロの最適配置の少なくとも 1 つの情報を含む、
請求項 5 に記載の半導体集積回路の設計装置。

【請求項 7】

設計に用いる複数のマクロの内、高速に信号の入出力を行う前記マクロとしての高速マクロを選択するステップと、
前記高速マクロと前記高速マクロに用いるエリア I / O とを組み合わせたエリア I / O 付きマクロを生成するステップと、
前記高速マクロがゲート領域に含まれるように、前記エリア I / O 付きマクロをチップ上に配置するステップと、
を具備する、
半導体集積回路装置のレイアウト方法。

40

【請求項 8】

前記エリア I / O 付きマクロを生成するステップは、
複数のマクロの各々に関する情報と前記複数のマクロの各々に対応するエリア I / O の情報とを関連付けて記憶しているマクロテーブルと、前記高速マクロの情報とに基づいて生成される、

50

請求項 7 に記載の半導体集積回路装置のレイアウト方法。

【請求項 9】

前記マクロテーブルの前記複数のマクロの各々に対応するエリア I / O の情報は、前記エリア I / O と前記マクロの最適配置の情報を含み、
前記エリア I / O 付きマクロをチップ上に配置するステップは、
前記高速マクロに関する情報と、前記マクロテーブルとに基づいて、前記エリア I / O 付きマクロを、前記チップ上の所定の場所へ配置する、
請求項 8 に記載の半導体集積回路装置のレイアウト方法。

【請求項 10】

選択部と、レイアウト設計部と、マクロテーブルとを具備する半導体集積回路装置の設計装置の前記選択部が、設計に用いる複数のマクロとしての複数の設計マクロに関する情報と、前記複数の設計マクロの内の高速での情報処理が必要なものを指定する情報としての処理情報と、前記マクロテーブルとに基づいて、前記高速での情報処理が必要な設計マクロとしての高速マクロを選択し、前記高速マクロとエリア I / O との組であるエリア I / O 付きマクロを生成するステップと、
前記レイアウト設計部が、前記設計マクロに関する情報と、前記マクロテーブルとに基づいて、前記エリア I / O 付きマクロを、前記チップ上の所定の場所へ配置するステップと、

を具備し、

前記エリア I / O は、チップ上のゲート領域又は周辺部の任意の位置に配設可能な複数の I / O バッファを含み、

前記マクロテーブルは、複数のマクロの各々に関する情報と、前記複数のマクロの各々に対応するエリア I / O の情報とを関連付けて記憶している、

半導体集積回路装置のレイアウト方法をコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に、設計の自由度を向上することが可能な半導体集積回路装置に関する。

【0002】

【従来の技術】

半導体集積回路装置の設計では、予め I / O バッファを配置する領域としての I / O バッファ領域、及び、基本セルやマクロを配置する領域としてのゲート領域の位置が各々決められている。例えば、I / O バッファ領域は、半導体集積回路装置としてのチップの周辺部、ゲート領域は、I / O バッファ領域に囲まれた中央部（内部）である。そして、設計の際、I / O バッファや基本セル、マクロは、その決められた領域の中において、設計、配置される。

【0003】

半導体集積回路装置において、I / O バッファ数を増加させる方法として、以下のような技術が知られている。

図 10 は、従来の I / O バッファ数を増加させる方法を説明する半導体集積回路装置の模式的な平面図である。半導体集積回路装置としてのチップ A 101-1 は、ゲート領域 105-1 とバッファ領域 103-1 とを備える。ゲート領域 105-1 は、基本セルやマクロを含み、半導体集積回路装置の中央部に設けられている。バッファ領域 103-1 は、I / O バッファやパッド 104 を含み、半導体集積回路装置の周辺部全体にわたり、ゲート領域 105-1 を囲むように設けられている。この場合、I / O バッファ（バッファ領域 103-1）をチップ周辺に配置している。

I / O バッファの数を増加させる場合、図 10 に示すように、チップ一辺の長さを長くする。すなわち、チップサイズを大きくし、ゲート領域 105-2 とバッファ領域 103-2 とを備えるチップ B 101-2 のようにして対応する。このとき、ゲートサイズが小さ

10

20

30

40

50

い場合、ゲート領域 105-2 内のデッドスペースが増加することが考えられる。

【0004】

関連する技術として、特開平 4-171756 号公報に、半導体集積回路装置の技術が開示されている。この技術の半導体集積回路装置は、基板の中央部にゲート領域を、また周辺部にバッファ領域を夫々設定した半導体集積回路装置において、前記バッファ領域は、周辺部に沿って内、外に相互の間に所定の間隔を隔てて複数重に設けたことを特徴とする。

図 11 は、この技術の半導体集積回路装置を説明する模式的な平面図である。半導体集積回路装置としてのチップ 111 は、ゲート領域 115 及びバッファ領域 113 を備え、両者の間を信号線 112 で接続している。チップ 111 最外周のバッファ領域 113 には多数の I/O バッファを隙間なく一列に配置する。その内側のバッファ領域 113 には、間隔を置いて I/O バッファを複数列配置できる。この技術は、同じ基板面積で、配置可能な I/O バッファの数を増大させ、基板面積を縮小させることを目的としている。

I/O バッファの数を増大させる際、複数重の I/O バッファを配置すると、内側のバッファ領域 113 が拡大し、ゲート領域 115 として使用可能な面積が縮小することが考えられる。

【0005】

また、他の関連する技術として、I/O Floorplanning Guide for SA-12 (International Business Machines Corporation, ASIC Products Application Note No. SA14-2309-00, 1998) の技術が開示されている。

図 12 は、この技術の半導体集積回路装置を説明する模式的な平面図である。この技術の半導体集積回路装置は、半導体集積回路装置としてのチップ 121 に、マトリックス状に配置されたエリア I/O 126 と、エリア I/O 126 の列の間に設けられたゲート領域 125 を備える。このチップ 121 は、フリップチップ用であり、周辺部に I/O バッファを設ける必要はなく、エリア内（中央部）に設けられた I/O バッファとしてのエリア I/O 126 を用いる。エリア I/O 126 の配置可能領域は、決められている。そして、その個数を増加させることにより I/O バッファ数を増加させる。

I/O バッファの数を増大させる際、I/O バッファ（エリア I/O 126）を配置可能な領域が制限されているため、大きなマクロを配置する場合、エリア I/O 126 を削除する必要がある。そのため、取り扱える信号数（I/O バッファ数）が低下することが考えられる。また、I/O バッファ近傍に基本セルを配置する場合、ラッチアップ等の影響を考慮して、少し距離をあける必要がある。そのため、I/O バッファを全てエリア I/O 126 として配置すると、デッドスペースが増加し、ゲート領域 125 が減少することが考えられる。

【0006】

【発明が解決しようとする課題】

従って、本発明の目的は、設計の自由度の向上する半導体集積回路装置及び半導体集積回路装置のレイアウト方法を提供することである。

また、本発明の他の目的は、デッドスペースの発生を抑さえ、基板面積の増加を抑制しながら、I/O バッファ数（信号数）を増加させることが可能な半導体集積回路装置及び半導体集積回路装置のレイアウト方法を提供することである。

【0007】

【課題を解決するための手段】

以下に、〔発明の実施の形態〕で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、〔特許請求の範囲〕の記載と〔発明の実施の形態〕との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、〔特許請求の範囲〕に記載されている発明の技術的範囲の解釈に用いてはならない。

【0008】

10

20

30

40

50

従って、上記課題を解決するために、本発明の半導体集積回路装置は、エリア I / O (3) と、マクロ (4) とを具備する。

エリア I / O (3) は、チップ (1) 上のゲート領域 (5) 又は周辺部の任意の位置に配設され、複数の I / O バッファを含む。マクロ (4) は、ゲート領域 (5) の任意の位置に配設されている。

【0009】

すなわち、エリア I / O (3) やマクロ (4) について、配置する場所を予め設定するのではなく、チップ (1) 上の任意 (例示: チップの周辺部や中心部のような設計上望ましい位置、所定の素子 (群) の近傍、所定の素子 (群) から出来るだけ離れた位置、等) の場所に配置する。

10

その場合、チップ上の I / O バッファのサイズやパッドの配置構成 (格子状、千鳥状)、パッドピッチが変更された場合でも、同様に適用可能である。

【0010】

また、本発明の半導体集積回路装置は、その周辺部に配設された複数の I / O バッファを含む周辺 I / O (2) を更に具備する。

【0011】

また、本発明の半導体集積回路装置は、マクロ (4) は、マクロ (4) に用いるエリア I / O (3) と組み合わせられ、その任意の位置に配設される。

【0012】

すなわち、マクロ (4) は、マクロ (4) 用のエリア I / O (3) (I / O バッファ、信号パッド、I / O バッファ用電源パッド、I / O バッファ用接地パッド及び接続配線を含む) と組み合わせられて、チップ (1) 上の任意の位置に配置される。

20

【0013】

更に、本発明の半導体集積回路装置は、ゲート領域 (5) に配設された複数の論理ゲート (図示されず) を更に具備する。

【0014】

上記課題を解決するために、本発明の半導体集積回路の設計装置は、マクロテーブル (74) と、選択部 (73) と、レイアウト設計部 (72) とを具備する。

マクロテーブル (74) は、複数のマクロ (4) の各々に関する情報と、複数のマクロ (4) の各々に対応するエリア I / O (3) の情報とを関連付けて記憶している。ここで、エリア I / O (3) は、チップ (1) 上のゲート領域 (5) 又は周辺部の任意の位置に配設可能な複数の I / O バッファを含む。選択部 (73) は、設計に用いる複数のマクロ (4) としての複数の設計マクロ (4) に関する情報と、複数の設計マクロ (4) の内の高速での情報処理が必要なものを指定する情報としての処理情報と、マクロテーブル (74) とに基づいて、その高速での情報処理が必要な設計マクロ (4) としての高速マクロ (4) を選択し、高速マクロ (4) とエリア I / O (3) との組であるエリア I / O 付きマクロを生成する。レイアウト設計部 (72) は、設計マクロ (4) に関する情報と、マクロテーブル (74) とに基づいて、そのエリア I / O 付きマクロを、チップ (1) 上の所定の場所へ配置する。

30

【0015】

また、本発明の半導体集積回路の設計装置は、マクロテーブル (74) の複数のマクロ (4) の各々に対応するエリア I / O (3) の情報は、エリア I / O (3) の I / O バッファの数、その I / O バッファの配置及びエリア I / O (3) とマクロ (4) の最適配置の少なくとも 1 つの情報を含む。

40

【0016】

上記課題を解決するために、本発明の半導体集積回路装置のレイアウト方法は、設計に用いる複数のマクロ (4) の内、高速に信号の入出力を行うマクロ (4) としての高速マクロ (4) を選択するステップと、高速マクロ (4) と高速マクロ (4) に用いるエリア I / O (3) とを組み合わせたエリア I / O 付きマクロを生成するステップと、高速マクロ (4) がゲート領域 (5) に含まれるように、エリア I / O 付きマクロをチップ (1) 上に

50

配置するステップとを具備する。

【0017】

すなわち、信号処理に対するチップ（１）上の位置の影響の大きいマクロ（４）を優先的にチップ（１）上に配置する。

優先性の指標は、上記の高速信号処理の他に、熱の影響（例示：周辺部の方が放熱し易い、中心部の方が熱の伸縮の影響が少ない）、チップ（１）周辺の他の素子との位置関係が例示される。

【0018】

また、本発明の半導体集積回路装置のレイアウト方法は、エリア１／０付きマクロを生成するステップが、複数のマクロ（４）の各々に関する情報と複数のマクロ（４）の各々に対応するエリア１／０（３）の情報とを関連付けて記憶しているマクロテーブル（７４）と、高速マクロ（４）の情報とに基づいて生成される。

10

【0019】

更に、本発明の半導体集積回路装置のレイアウト方法は、マクロテーブル（７４）の複数のマクロ（４）の各々に対応するエリア１／０（３）の情報が、エリア１／０（３）とマクロ（４）の最適配置の情報を含んでいる。

そして、エリア１／０付きマクロをチップ（１）上に配置するステップは、高速マクロ（４）に関する情報と、マクロテーブル（７４）とに基づいて、エリア１／０付きマクロを、チップ（１）上の所定の場所へ配置する。

【0020】

20

上記課題を解決するために、本発明の半導体集積回路装置のレイアウト方法に関するプログラムは、選択部（７３）と、レイアウト設計部（７２）と、マクロテーブル（７４）とを具備する半導体集積回路装置の設計装置（７０）により実行される。

すなわち、選択部（７３）が、設計に用いる複数のマクロ（４）としての複数の設計マクロ（４）に関する情報と、複数の設計マクロ（４）の内の高速での情報処理が必要なものを指定する情報としての処理情報と、マクロテーブル（７４）とに基づいて、その高速での情報処理が必要な設計マクロ（４）としての高速マクロ（４）を選択し、高速マクロ（４）とエリア１／０（３）との組であるエリア１／０付きマクロを生成するステップと、レイアウト設計部（７２）が、設計マクロ（４）に関する情報と、マクロテーブル（７４）とに基づいて、エリア１／０付きマクロを、チップ（１）上の所定の場所へ配置するステップとを具備する。

30

ここで、エリア１／０（３）は、チップ（１）上のゲート領域（５）又は周辺部の任意の位置に配設可能な複数の１／０バッファを含んでいる。また、マクロテーブル（７４）は、複数のマクロ（４）の各々に関する情報と、複数のマクロ（４）の各々に対応するエリア１／０（３）の情報とを関連付けて記憶している。

【0021】

【発明の実施の形態】

以下、本発明である半導体集積回路装置及び半導体集積回路装置のレイアウト方法の実施の形態に関して、添付図面を参照して説明する。

【0022】

40

図１は、本発明である半導体集積回路装置の実施の形態における構成を示す模式的な平面図である。

半導体集積回路装置としてのチップ１は、チップの周辺部だけでなく、チップの内部においてもPADを設けることが可能なチップであり、フリップチップに例示される。周辺１／０２、エリア１／０３、マクロ４及びゲート領域５を具備する。

【0023】

本発明の半導体集積回路装置は、ゲート領域５（マクロ４を含む）及びバッファ領域（周辺１／０２及びエリア１／０３を含む）の位置を、予め固定せず、自由に配置可能とする。

すなわち、一つのマクロ４と、そのマクロ４に関わるエリア１／０３（１／０バッファ、

50

信号パッド、I/Oバッファ用電源パッド、I/Oバッファ用接地パッド、及びI/Oバッファと各パッドとを繋ぐ接続配線)とを一つの設計上の単位(以下、「エリアI/O付きマクロ」と称する)として用意する。そうすることにより、チップ1上の任意の場所へ、エリアI/O付きマクロを自動的に配置することが容易に実現できる。また、周辺I/O2とエリアI/O3とを併用することにより、デッドスペース拡大を抑制しながらI/Oバッファ数(信号数)を増加させることも実現可能となる。なお、マクロ4と組み合わせられるのは、周辺I/O2でも良い。

また、図1は、上記各構成の配置の一例であり、本発明がこの配置に制限されるものではない。

【0024】

10

以下各構成について説明する。

周辺I/O2は、チップ1の周辺部の辺に沿って、素子を設置可能な辺の領域全体に連続して設けられている。そして、I/Oバッファやパッド(信号パッド、I/Oバッファ用電源パッド、I/Oバッファ用接地パッドを含む)を有するバッファ領域である。なお、周辺I/O2の周辺部のパッド上には、マクロ4や基本セル(ゲートを構成可能な素子集合であり、エリアI/O3又は周辺I/O2と配線で接続される)、論理ゲートの一部が重なる(ただし別の層)場合もある。

【0025】

エリアI/O3は、チップ1上に設けられ、I/Oバッファやパッド(信号パッド、I/Oバッファ用電源パッド、I/Oバッファ用接地パッド、接続配線を含む)を有するバッファ領域である。エリアI/O3は、設計により、チップ1の中央部だけではなく、周辺部に設置しても良い。また、その大きさも設計により可変である。なお、エリアI/O3の周辺部のパッド上には、マクロ4や基本セル、論理ゲートの一部が重なる(ただし別の層)場合もある。

20

【0026】

マクロ4は、チップ1上に設けられ、CPUやRAM、ROM、乗算器のような所定の機能を有するコア(基本セルの大きなもの)である。マクロ4は、エリアI/O3又は周辺I/O2と配線で接続される。マクロ4は、チップ1の中央部だけではなく、周辺部に設置しても良い。

【0027】

30

ゲート領域5は、チップ1上に設けられ、基本セルやマクロ4、論理ゲートの配置される領域である。ゲート領域5は、チップ1の中央部だけではなく、周辺部に設置しても良い。

【0028】

図1に示すように、この半導体集積回路装置は、周辺I/O2及びエリアI/O3を同一チップ1上に実現する。

中央部のゲート領域5にはエリアI/O3を配置する。エリアI/O3は、マクロ4(コア)の近傍に配置することが出来る。また、エリアI/O3周辺もゲート領域5として使用できる。

周辺部には、周辺I/O2としてI/Oバッファを一行に隙間なく配置する。また、エリアI/O3を周辺部に配置しても良い。

40

すなわち、周辺I/O2とエリアI/O3との組合せにより、デッドスペースを抑えながらI/Oバッファ数(信号数)の増加が可能となる。

【0029】

また、高速(例示:500MHz以上)に信号の入出力を行う必要があるマクロ4又は基本セルに用いるエリアI/O3を、それらマクロ4や基本セルの近傍に配置することが出来る。そして、それ以外のマクロ4や基本セルは、それ以外の部分に配置する。それにより、チップ1での信号処理を高速化することが出来る。加えて、信号遅延を改善することが出来、I/O時のタイミングを合わせ易くなる。

【0030】

50

次に、半導体集積回路装置としてのチップの具体的な構造の例を図を参照して説明する。なお、図2～図5の各チップの面積は全て等しいものとし、一辺のパッド数は29パッドで共通とする。

また、本発明は、図2～図5の構造に制限されるものではなく、チップ上のI/Oバッファのサイズやパッドの配置構成（格子状、千鳥状）、パッドピッチが変更された場合でも、同様に適用可能である。

【0031】

図2は、周辺I/Oを有し、エリアI/Oを有しないチップ11を示す。これは、従来の技術（図10）で説明した構造である。チップ11は、周辺I/O12、ゲート領域15を備える。

10

周辺I/O12は、I/Oバッファ用電源パッド（図中V1で表示、以下同様）としてのI/O電源17、I/Oバッファ用接地パッド（図中G1で表示、以下同様）としてのI/OGND18、信号パッド（図中Sで表示、以下同様）としての信号端子19を含む。信号端子19の数は、チップ11におけるピンの数に対応する。図2では、322ピンである。

ゲート領域15及び周辺I/O12のその他の機能等については、図1のゲート領域5及び周辺I/O2と同様である。

【0032】

図3は、エリアI/Oを有し、周辺I/Oを有しないチップ21を示す。チップ21は、エリアI/O23、ゲート領域25を備える。

20

エリアI/O23は、I/Oバッファ用電源パッド（V1）としてのI/O電源27、I/Oバッファ用接地パッド（G1）としてのI/OGND28、信号パッド（S）としての信号端子29を含む。信号端子29の数は、チップ21におけるピンの数に対応する。図3では、416ピンである。図2のチップ11と図3のチップ21は、同一の面積である。すなわち、図3のピン数は図2の1.25倍であり、同一面積でI/Oバッファ数（信号数）が増加している。

ゲート領域25及びエリアI/O23のその他の機能等については、図1のゲート領域5及びエリアI/O3と同様である。

【0033】

図4は、エリアI/O及び周辺I/Oを有するチップ31を示す。チップ31は、周辺I/O32、エリアI/O33、ゲート領域35を備える。

30

周辺I/O32及びエリアI/O33は、I/Oバッファ用電源パッド（V1）としてのI/O電源37、I/Oバッファ用接地パッド（G1）としてのI/OGND38、信号パッド（S）としての信号端子39を含む。信号端子39の数は、チップ31におけるピンの数に対応する。図4では、476ピンである。図2のチップ11と図4のチップ31は、同一の面積である。すなわち、図4のピン数は図2の1.43倍であり、同一面積でI/Oバッファ数（信号数）が増加している。

ゲート領域35、周辺I/O32及びエリアI/O33のその他の機能等については、図1のゲート領域5、周辺I/O2及びエリアI/O3と同様である。

【0034】

40

図5は、エリアI/O及び周辺I/Oを有するチップ41を示す。チップ41は、周辺I/O42、エリアI/O43、ゲート領域45を備える。この場合、図4に比較して、エリアI/O43の数を減らし、ゲート領域45を増やしている。

周辺I/O42及びエリアI/O43は、I/Oバッファ用電源パッド（V1）としてのI/O電源47、I/Oバッファ用接地パッド（G1）としてのI/OGND48、信号パッド（S）としての信号端子49を含む。信号端子49の数は、チップ41におけるピンの数に対応する。図5では、412ピンである。図2のチップ11と図5のチップ41は、同一の面積である。すなわち、図5のピン数は図2の1.24倍であり、同一面積でI/Oバッファ数（信号数）が増加している。

ゲート領域45、周辺I/O42及びエリアI/O43のその他の機能等については、図

50

1のゲート領域5、周辺I/O2及びエリアI/O3と同様である。

【0035】

図2及び図10のように従来では基本セルを配置していたゲート領域(15、105)に、図3～図5のようにエリアI/O(23、33、43)を配置し、周辺I/O(32、42)をも用いることにより、単位面積当たりの信号密度(I/Oバッファ数)を飛躍的に増加させることが出来る。また、ゲート領域の空き領域へ、周辺I/Oの一部をエリアI/Oとして移動させることにより、チップサイズを縮小させることも可能になる。

【0036】

図6は、エリアI/Oの構成の一部の一例を示す図である。エリアI/Oは、パッド51、I/Oバッファ52、エリアI/O本体53、ガードリングセル54、配線55(—1

10

～2)、デッドスペース56を備える。
パッド51は、複数あり、それぞれ信号パッド、I/Oバッファ用電源パッド及びI/Oバッファ用接地パッドのいずれか一つである(図6中では、それらを明記していない)。パッド51の各々は、I/Oバッファ52のいずれかと、配線55により接続されている。なお、図中には、配線55として配線55-1及び配線55-2のみを例示している。エリアI/O本体53は、I/Oバッファ52及びガードリングセル54を含み、周囲の基本セル又はマクロ(図示せず)とデッドスペース56で隔てられている。すなわち、ゲート領域の基本セル又はマクロとエリアI/O本体53とは同じ層にある。そして、エリアI/Oのパッド51と、その基本セル又はマクロの一部とは、互いに別の層で重なっている。ガードリングセル54は、ラッチアップ対策用にエリアI/O本体53のI/Oバッファ52の両端に設けられている。

20

【0037】

図7は、周辺I/Oの構成の一部の一例を示す図である。周辺I/Oは、パッド61、I/Oバッファ62、周辺I/O本体63、配線65、デッドスペース66を備える。

パッド61は、パッド51と同様である。パッド61の各々は、I/Oバッファ62のいずれかと、配線65により接続されている。なお、図中には、配線65の1本のみを例示している。周辺I/O本体63は、I/Oバッファ62を含み、チップの中央側の基本セル又はマクロ(図示せず)とデッドスペース66で隔てられている。すなわち、ゲート領域の基本セル又はマクロとエリアI/O本体63とは同じ層にある。そして、エリアI/Oのパッド61と、その基本セル又はマクロの一部とは、互いに別の層で重なっている。

30

【0038】

通常、I/Oバッファ52、62及び基本セル(又はマクロ)間は、スペースが必要である。そのため、図6及び図7に示すように、デッドスペース56、66を設ける必要がある。エリアI/O本体53は、周囲に基本セル(又はマクロ)が配置される。そのため、エリアI/O本体53を多用すると、デッドスペース66の総面積よりもデッドスペース56の総面積が大きくなる。また、エリアI/O本体53は、両端にガードリングセル54を配置するため、周辺I/O本体63本体より広くI/Oバッファ配置領域が必要になる。

信号ピン数のほぼ同じである図3及び図5のチップにて算出したデッドスペースを以下に示す。I/Oバッファサイズ $250\mu\text{m} \times 50\mu\text{m}$ 、ガードリングセルサイズ $250\mu\text{m} \times 20\mu\text{m}$ 、パッドピッチ $250\mu\text{m}$ 、I/Oバッファと基本セルの間隔 $10\mu\text{m}$ とする。

40

図3(エリアI/Oのみ) : $681, 200\mu\text{m}^2$

図5(周辺I/O+エリアI/O) : $341, 000\mu\text{m}^2$

すなわち、図3の場合に比較して、図5の場合にはデッドスペースを1/2に抑制することが出来る。従って、周辺I/O及びエリアI/Oの組合せにより、エリアI/Oを多用しないようにすれば、デッドスペースを抑えることが可能となる。そして、デッドスペースを抑えることにより、単位面積当たりの信号数(I/Oバッファ数)を増加させることが出来る。

【0039】

50

次に、本発明である半導体集積回路装置のレイアウト方法の実施の形態について図面を参照して説明する。

図8は、半導体集積回路装置のレイアウト方法を適用した設計装置を示す構成図である。設計装置70は、設計装置本体71と、表示装置75と、入出力装置76とを備える。

【0040】

設計装置本体71は、ワークステーションに例示される情報処理装置である。情報処理に必要な情報の入力と情報処理結果の出力を行う入出力装置76、及び、入力や出力内容等を表示する表示装置75に接続されている。設計装置本体71は、プログラムとしてのレイアウト設計部72及び選択部73を備え、マクロテーブル74を搭載している。

【0041】

マクロテーブル74は、マクロの情報（例示：マクロの名称、マクロの種類）と、それらのマクロ4に用いるエリアI/O3の情報（例示：I/Oバッファの数及びI/Oバッファの配置、関連する信号パッド・I/Oバッファ用電源パッド・I/Oバッファ用接地パッドの数及び配置、I/Oバッファと各パッドとを繋ぐ接続配線、エリアI/O3とマクロ4との最適配置）とを関連付けて記憶している。

【0042】

選択部73は、設計に使用するマクロ4の情報と、高速でデータ処理を行う必要のあるマクロ4を指定する情報（例示：マクロ名称、マクロの種類）としての処理情報と、マクロテーブル74とに基づいて、設計に使用するマクロ4から高速データ処理を行うマクロ4を選択し、そのマクロ4とエリアI/O3との組であるエリアI/O付きマクロを生成する。

【0043】

レイアウト設計部72は、マクロテーブル74に基づいて、生成されたエリアI/O付きマクロをチップ1上の所定の場所へ配置するレイアウト設計を行う。そして、レイアウト設計部72は、更に、従来知られた自動設計プログラムを含み、上記のレイアウトに基づいて、チップの自動設計が可能である。

【0044】

次に、本発明である半導体集積回路装置のレイアウト方法の実施の形態について説明する。

図9は、本発明である半導体集積回路装置のレイアウト方法の実施の形態を示すフロー図である。

(1) ステップS01

設計者は、チップ1の設計に必要な複数のマクロ4（「設計マクロ」とも称する）の種類に関する情報と、そのマクロ4の内の高速でデータ処理を行う必要のあるマクロ4（「高速マクロ」とも称する）を指定する情報としての処理情報とを入出力装置76から入力する。処理情報は、マクロ名称、マクロの種類等のマクロを特定する情報である。ただし、高速処理の速度（例示：500MHz）等の諸特性やチップ1上に配置する際の優先順位などを用いて、マクロを特定することも可能である。

選択部73は、複数のマクロ4の種類と処理情報の入力に基づいて、高速に信号を入出力する必要があるマクロ4を選択する。そして、選択されたマクロ4について、マクロテーブル74から、そのマクロ4に用いるI/Oバッファの数及び配置（エリアI/O）の情報を取り出す。そして、マクロ4と、そのマクロ4に関わるエリアI/O3とを一つの設計上の単位であるエリアI/O付きマクロ（高速）として用意する。高速の目安としては、500MHz以上である。

(2) ステップS02

レイアウト設計部72は、マクロテーブル74に基づいて、エリアI/O付きマクロ（高速）を、そのマクロ4がゲート領域5内の高速信号処理に適する場所へ配置されるように配置する。そして、その結果を表示装置75に表示する。

設計者は、表示された配置結果について、ゲート領域5内の任意の場所にエリアI/O付きマクロ（高速）を移動可能である。

10

20

30

40

50

(3) ステップ S 0 3

レイアウト設計部 7 2 は、他のマクロ 4 の内、他に速い速度（以下「中速」と称する）で信号を入出力する必要があるものがあれば、ステップ S 0 1 のように、マクロを選択し、エリア 1 / 0 付きマクロ（中速）として用意し、ステップ S 0 2 のように、残りの空いている領域の適する場所へ配置する。

(4) ステップ S 0 4

設計者は、チップ 1 の設計に必要な他のマクロ 4 や基本セル等を入力する。

レイアウト設計部 7 2 は、他のマクロ 4 又は基本セルを、残りの空いている領域へ配置する。この場合、従来知られた自動設計の方法を利用することが出来る。

【0045】

本発明は、1 / 0 バッファサイズ、パッド配置構成（格子状、千鳥状）、パッドピッチ等が変更された場合でも、マクロテーブル 7 4 のデータを一部変更するなどの対応により、上記実施例と同様に適用することが可能である。

【0046】

上記レイアウト方法により、チップ 1 上の任意の場所へ、エリア 1 / 0 付きマクロを自動的に配置することが容易に実現できる。また、残りのマクロ 4 や基本セル（図示されず）を、空いているゲート領域 5 へ配置し、周辺 1 / 0 2 とエリア 1 / 0 3 とを併用することにより、デッドスペース拡大を抑制しながら 1 / 0 バッファ数（信号数）を増加させることも実現可能となる。なお、マクロ 4 と組み合わせてエリア 1 / 0 付きマクロとするのは、周辺 1 / 0 2 でも良い。

【0047】

【発明の効果】

本発明により、設計の自由度を向上させることが可能となる。その理由は、周辺 1 / 0 領域、エリア 1 / 0 領域、配線領域等を予め設定せず、エリア 1 / 0 付きマクロを用いてマクロやエリア 1 / 0 を任意の場所に配置するようにするからである。

また、本発明により、チップ上のデッドスペースの発生を抑さえ、基板面積の増加を抑制しながら、1 / 0 バッファ数（信号数）を増加させる（＝単位面積当たりの信号数を増加させる）ことが可能となる。その理由は、周辺 1 / 0 領域やエリア 1 / 0 領域を予め設定せず、その領域を必要に応じて任意に加減することが出来、予め設定した場合に発生し易いデッドスペースをより少なくするように設計できるからである。

【図面の簡単な説明】

【図 1】本発明である半導体集積回路装置の実施の形態における構成を示す模式的な平面図である。

【図 2】半導体集積回路装置の具体的な構造の例を示す図である。

【図 3】半導体集積回路装置の具体的な構造の例を示す図である。

【図 4】半導体集積回路装置の具体的な構造の例を示す図である。

【図 5】半導体集積回路装置の具体的な構造の例を示す図である。

【図 6】エリア 1 / 0 の構成の一部の一例を示す図である。

【図 7】周辺 1 / 0 の構成の一部の一例を示す図である。

【図 8】半導体集積回路装置の設計装置を示す構成図である。

【図 9】本発明である半導体集積回路装置のレイアウト方法の実施の形態を示すフロー図である。

【図 10】従来の半導体集積回路装置の模式的な平面図である。

【図 11】従来の半導体集積回路装置の模式的な平面図である。

【図 12】従来の半導体集積回路装置の模式的な平面図である。

【符号の説明】

- 1 チップ
- 2 周辺 1 / 0
- 3 エリア 1 / 0
- 4 マクロ

10

20

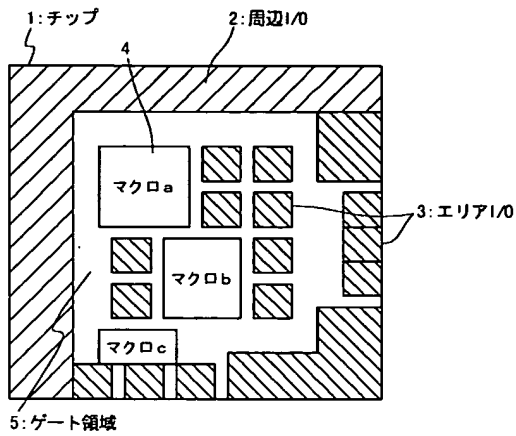
30

40

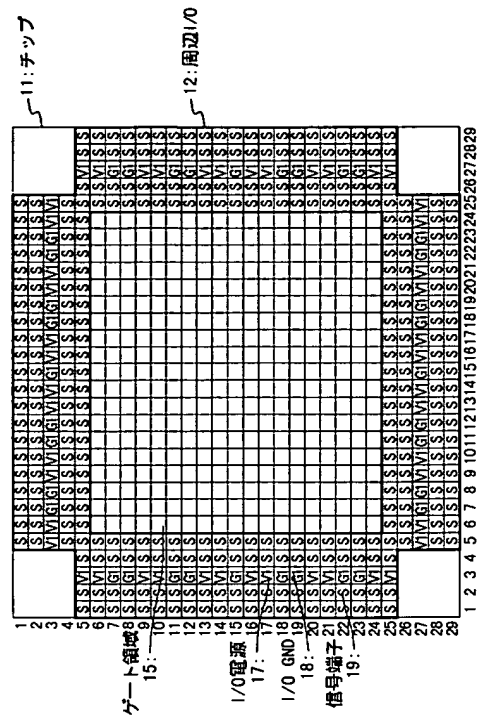
50

5、15、25、35、45	ゲート領域	
11、21、31、41	チップ	
12、32、42	周辺 I/O	
17、27、27、47	I/O電源	
18、28、38、48	I/O GND	
19、29、39、49	信号端子	
23、33、43	エリア I/O	
51、61	パッド	
52、62	I/Oバッファ	
53	エリア I/O本体	10
54	ガードリングセル	
55 (−1〜2)、65	配線	
56、66	デッドスペース	
63	周辺 I/O本体	
70	設計装置	
71	設計装置本体	
72	レイアウト設計部	
73	選択部	
74	マクロテーブル	
75	表示装置	20
76	入出力装置	
101-1	チップ A	
101-2	チップ B	
103-1〜2、113	バッファ領域	
105-1〜2、115、125	ゲート領域	
111、121	チップ	
112	信号線	
126	エリア I/O	

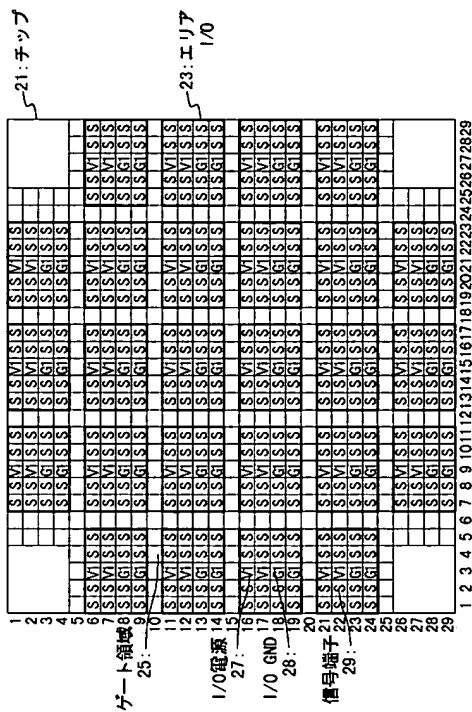
【図 1】



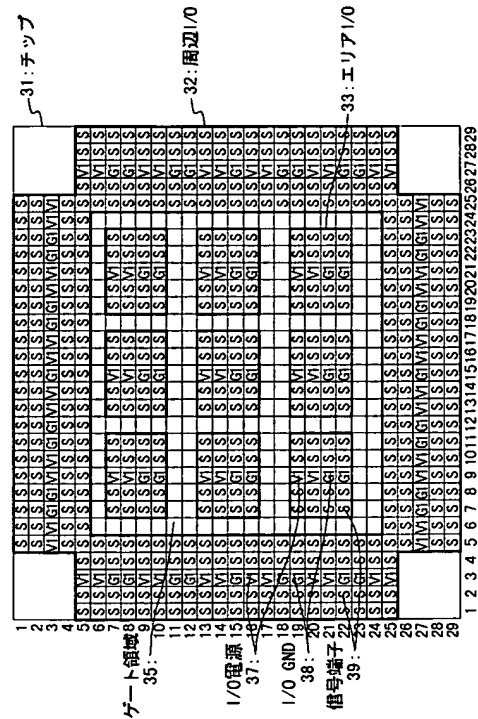
【図 2】



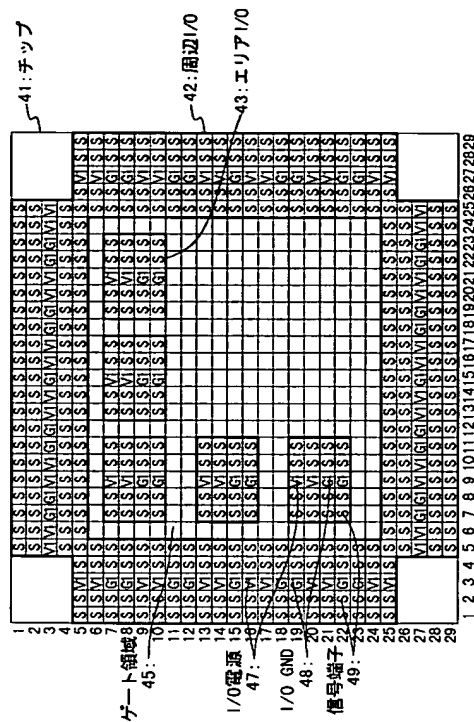
【図 3】



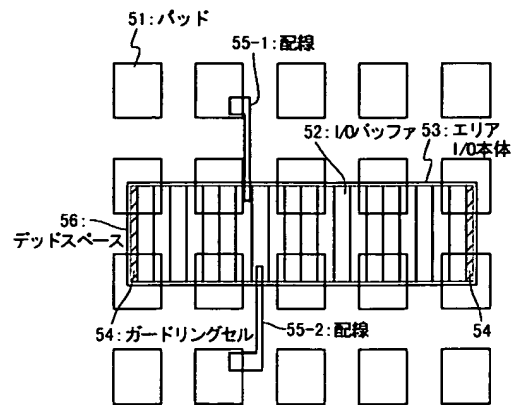
【図 4】



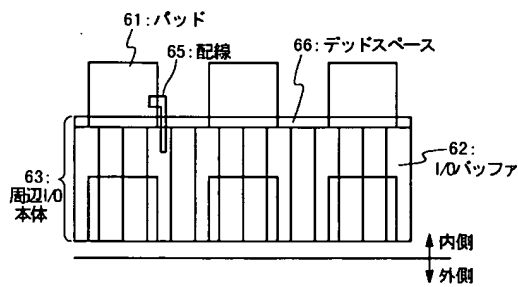
【図 5】



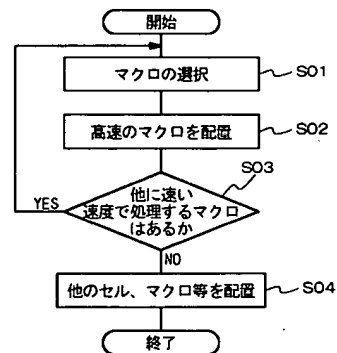
【図 6】



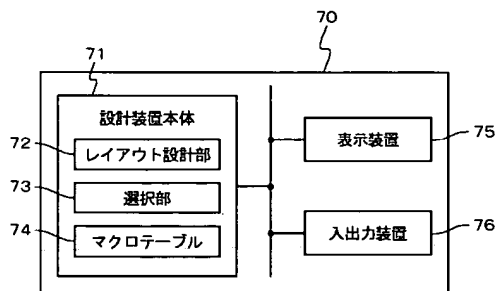
【図 7】



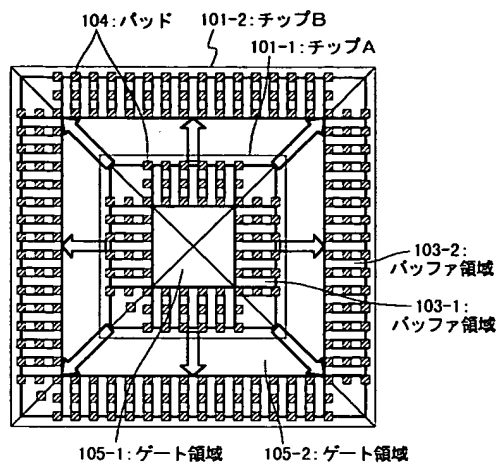
【図 9】



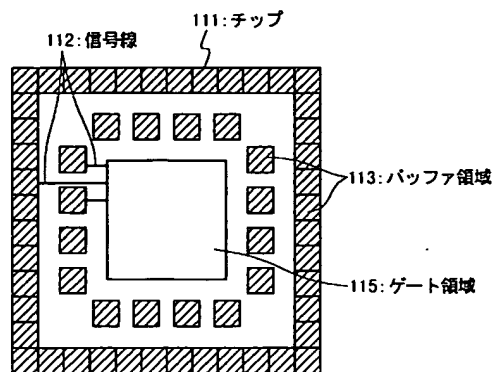
【図 8】



【図 10】



【図 11】



【図 12】

